

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11097533 A

(43) Date of publication of application: 09.04.99

(51) Int. Cl

H01L 21/768
H01L 21/316

(21) Application number: 09256424

(71) Applicant: HITACHI LTD

(22) Date of filing: 22.09.97

(72) Inventor: MOCHIZUKI YASUHIRO
OKADA NOBUSUKE

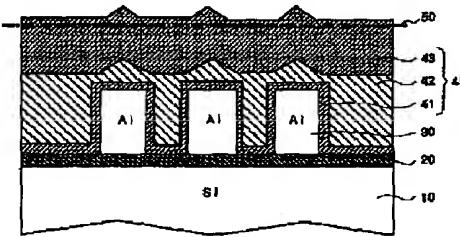
(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND
MANUFACTURE THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To perform filling by the film of a low dielectric constant, high reliability and high productivity so as to reduce the capacity of a groove part between the wirings of a wiring pattern in an inter-layer insulation film for the multi-layer wiring of VLSI and to accelerate the operation speed of a semiconductor device.

SOLUTION: An inter-layer insulation film is turned to the three-layer structure of a fine and high quality silicon oxide film (SiO_2) 41, a porous silicon oxide film (SiO_x ; $x < 2$) 42 and the fine and high quality silicon oxide film (SiO_2) 43. Continuous film formation is made possible just by changing the process conditions of a high density plasma CVD method, planarization is performed by applying CMP (ultraprecise chemical and mechanical polishing).

COPYRIGHT: (C)1999,JPO



(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97533

(13)公開日 平成11年(1999)4月9日

(51)Int.Cl.⁶

H 0 1 L 21/768
21/316

識別記号

F I

H 0 1 L 21/90
21/316

M
M
X

審査請求 未請求 請求項の数8 OL (全7頁)

(21)出願番号

特願平9-256424

(22)出願日

平成9年(1997)9月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 望月 康弘

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 関田 亘右

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

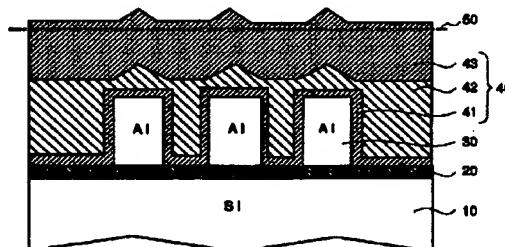
(54)【発明の名称】 半導体集積回路及びその製造方法

(57)【要約】

【課題】 VLSIの多層配線用層間絶縁膜において、配線パターンの配線間の溝部の容量を低減するため低誘電率でかつ高信頼性、高生産性の膜で充填し、半導体素子の動作速度の高速化を可能とする。

【解決手段】 層間絶縁膜を(1)緻密性高品位のシリコン酸化膜(SiO₂)41、(2)多孔質のシリコン酸化膜(SiO_x; x<2)42、(3)緻密性高品位のシリコン酸化膜(SiO₂)43の3層膜の構造とする。高密度プラズマCVD法のプロセス条件を変更するのみで連続成膜が可能であり、CMP(超精密化学的機械的研磨)を適用して平坦化できる。

図 1



【特許請求の範囲】

【請求項1】半導体集積回路の多層配線用層間絶縁膜において、配線パターンの配線間の溝部にシリコン酸化膜を主成分とする多孔質層を介在させたことを特徴とする半導体集積回路。

【請求項2】半導体集積回路の多層配線用層間絶縁膜において、下部配線パターンの配線の表面を覆う緻密性のシリコン酸化膜と、配線パターンの配線間の溝部を充填するシリコン酸化膜を主成分とする多孔質層と、多孔質層の上面を覆う緻密性シリコン酸化膜の少なくとも3層膜の構造を有することを特徴とする半導体集積回路。

【請求項3】半導体集積回路の多層配線用層間絶縁膜において、下部配線パターンの配線の表面を覆う緻密性のシリコン酸化膜と、配線パターンの配線間の溝部を充填するシリコン酸化膜を主成分とする多孔質層と、多孔質層の上面を覆う緻密性シリコン酸化膜の3層膜を連続して形成することを特徴とする半導体集積回路の製造方法。

【請求項4】請求項3において、3層膜はプラズマCVD法の膜堆積条件を制御して形成することにより連続して成膜することを特徴とする半導体集積回路の製造方法。

【請求項5】請求項3において、下部配線パターンの配線の表面を覆う緻密性のシリコン酸化膜は、プラズマCVDによりシリコン膜を堆積し、それをプラズマ酸化によりシリコン酸化膜に改質したことを特徴とする半導体集積回路の製造方法。

【請求項6】請求項1または2において、配線パターンの配線間の溝部を充填するシリコン酸化膜を主成分とする多孔質層は、化学量論比よりも酸素量が少ない組成のSi₀x (X<2) としたことを特徴とする半導体集積回路。

【請求項7】半導体集積回路の多層配線用層間絶縁膜において、下部配線パターンの配線の表面を覆う緻密性のシリコン酸化膜と、配線パターンの配線間の溝部を充填するシリコン酸化膜を主成分とする多孔質層と、多孔質層の上面を覆う緻密性シリコン酸化膜とを、各層の境界領域の組成及び構造を連続的に変化させたことを特徴とする半導体集積回路。

【請求項8】半導体集積回路の多層配線用層間絶縁膜において、下部配線パターンの配線の表面を覆う緻密性のシリコン酸化膜と、配線パターンの配線間の溝部を充填するシリコン酸化膜を主成分とする多孔質層と、多孔質層の上面を覆う緻密性シリコン酸化膜とを、連続的に組成および構造を変化させて堆積させることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路及びその製造方法に係り、特に配線間の寄生容量を小さくし

半導体集積回路の高速化に好適な多層配線用層間絶縁膜に関する。

【0002】

【従来の技術】半導体集積回路の高集積化に伴う微細化により、配線間隔が小さくなり、配線間の寄生容量（配線容量）が大きくなる。このため、素子特性に及ぼす影響、特に遅延時間が極めて大きくなってしまう。従って、配線容量を低減するために、誘電率（ε）の低い絶縁膜の開発が進められている。従来広く用いられている

10 シリコン酸化膜(SiO₂; ε=4.1~3.7)に代わって新しい材料やその形成方法が種々提案されている。例えば、フッ素を添加したシリコン酸化膜(SiOF; ε=3.7~3.2), メチル基や水素結合を有する有機SOG(ε=3.5~3.0), フッ素添加ポリイミド(ε=~2.7), テフロン(ε=2.1~1.9)等の有機材料、更には、膜の内部に気泡を形成する技術、空気絶縁(ε=1.0)等が提案されている。

【0003】これらに関係するものには、例えば、特開平7-193125号公報、特開平7-321206号公報、特開平7-335747号公報、特開平8-55913号公報、特開平8-83839号公報、特開平8-97379号公報、特表平8-511653号公報等が挙げられる。また「第3回国際ULSI多層配線用誘電体会議」(3rd International Dielectrics for ULSI Multilevel Interconnection Conference: 1997年2月)においては上記の種々の方式が論じられており、日経マイクロデバイス1997年2月号p.156にその要約が掲載されている。

【0004】更に、層間絶縁膜の構造を機能的に区分して複数の層を積み重ねる方式が提案されている。これに関係するものには、例えば、上記の他に、特開平7-288251号公報、特開平8-111395号公報、特許公報第2538740号等が挙げられる。また、電子材料1996年11月号別冊p.28~35において解説されている。

【0005】

【発明が解決しようとする課題】半導体集積回路の多層配線用層間絶縁膜として、産業的に有効な技術とするためには、次の課題が全て合格することが必要である。

【0006】(1) 層間絶縁膜本来の目的である上部配線層と下部配線層間の絶縁(リーク電流の低減)の確保が基本であり、更に誘電率、膜応力等の機能的性質等がある。

(2) アスペクト比の高い配線間を埋込んで下地の金属配線に対する不純物や水分の侵入を防止して腐食を防ぎ信頼性を確保し、基板や配線材料との熱膨張係数の差異による変形を防止し、配線材料と長期にわたって反応せずかつ密着性が良いこと等の構造的整合性がある。

【0007】(3) 表面の平坦化研磨やスルーホールの加工性が良好なこと、耐熱性や耐薬品性等の以降の工程とのプロセスマッチングがある。

【0008】(4) 工程数、工程コスト、ターンアラウ

ンドタイム等及びプロセス均一性・再現性、歩留まりやプロセス異物の対策等、製造工程の環境適応性等の生産性がある。

【0009】本発明の目的は、上記の課題が全て達成された多層配線用層間絶縁膜及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的は、層間絶縁膜を、(1)下部配線は高品位緻密性シリコン酸化膜(SiO₂)で保護し、(2)配線パターンの配線間の溝部は多孔質のシリコン酸化膜を主体とする膜(SiO_x:X<2)を充填し、(3)上層配線との間の分離膜は高品位緻密性シリコン酸化膜(SiO₂)、の3層構造とすることにより、達成される。従来広く用いられているシリコン酸化膜(SiO₂)を主体とすることにより、製造装置、製造プロセスの大部分を継承でき、デバイスの特性及びその信頼性を確保できるからである。

【0011】

【発明の実施の形態】

実施例1

以下、本発明の実施例を図面を用いて詳細に説明する。

【0012】図1は本発明による多層配線層間絶縁膜の基本構成の断面模式図を示す。能動層の形成されたシリコンウェハ10上にシリコン酸化膜(SiO₂)20、アルミニウム(A1)を主体とする下層配線層30が形成された状態が被膜形成基板である。下層配線層30は、配線ピッチ0.8μm、配線幅0.4μm、配線膜厚0.9μmであり、アスペクト比は2.25である。

【0013】層間絶縁膜40は、以下の工程で3層膜を順次堆積させた。まず、第1層を高密度プラズマCVD法により、高品位の緻密性シリコン酸化膜41を厚み70nm堆積させた。下地配線層30に対する不純物や水分の侵入を防止するためである。プラズマの状態やプロセス条件は後述する。次に、第2層を同一反応装置内で*

反応ガス供給量

モノシランガス(SiH₄)
酸素ガス(O₂)

反応圧力

シリコンウェハの温度

* プラズマ状態及びガス供給、反応圧力等の条件を制御した高密度プラズマCVD法により、配線間の溝部を多孔質でかつ酸素欠乏のシリコン酸化膜(SiO_x:X<2)42を充填した。更に、第3層を第1層と同様に高品位で緻密性のシリコン酸化膜43を厚み700nm堆積させた。

【0014】その後、シリコン酸化膜43の表面層を超精密化学的機械的研磨(CMP:Chemical Mechanical Polishing)により、平坦化50させた。

10 【0015】プラズマCVD法による高品位の緻密性のシリコン酸化膜41及び43、多孔質でかつ酸素欠乏のシリコン酸化膜(SiO_x:X<2)42の製造方法を詳述する。

【0016】図2は有磁場マイクロ波プラズマCVD装置100の断面模式図を示す。この種の構成はECR(Electron Cyclotron Resonance)-CVDとも呼ばれている。装置は反応容器120の内部や周囲には、シリコンウェハ110をセットするためのヘリウムガス冷却付きの静電チャック方式の基板支持台121と、それに

20 高周波電圧を印加するための高周波電源122、シリコンウェハ110を出し入れするための搬送ロボット131付きウエハロード・アード室130、圧力調整のためのゲートバルブ123と真空排気用ターボ分子ポンプ124、マイクロ波導波管125とマイクロ波導入用石英製窓126、ECR形成用磁界コイル127、及び反応ガス供給制御系140が備え付けられている。

【0017】まず、シリコンウェハ110をウエハロード・アンドロード室130を通して基板支持台121にセットする。次に反応容器120内をゲートバルブ123を開放にして真空排気用ターボ分子ポンプ124により真空排気する。到達圧力は0.1mPa以下である。

【0018】高品位緻密性シリコン酸化膜(SiO₂)の形成プロセス条件は、以下の通りである。

【0019】

…80ml/min
…120ml/min
…0.2Pa
…制御せず

(反応中はプラズマ照射により、150~250℃に加熱されている)

…1100Gauss

マイクロ波(2.45GHz)照射強度 …1.5kW

※【0020】堆積膜の品位及び室温における特性は、以下の通りである。

【0021】

…350nm/min
…≥4.5MV/cm

反応時間12sで70nmの緻密性シリコン酸化膜が形成できる。ここで重要なプロセスパラメータは、反応ガスの供給量の比と反応圧力の高精度の制御であり、後述する。

※

成膜速度
絶縁破壊強度

抵抗率	$\cdots 2 \times 10^{15} \Omega \cdot \text{cm}$
誘電率 (1 MHz)	$\cdots 4.1 \pm 0.1$
異物密度 ($\geq 0.3 \mu\text{m}$)	$\cdots \leq 0.02 \text{ケ}/\text{cm}^2$
プラズマダメージ	\cdots なし(アンテナ比10000のMOSデバイスのV-I特性のシフトより)
緩衝フッ酸によるエッティング速度 (HF : NH ₄ F = 1 : 10)	$\cdots 0.8 \text{ nm/s}$
昇温脱離ガス分析(含有水分量)	\cdots 熱酸化膜(ドライ酸素)と同等
屈折率	$\cdots 1.452 \sim 1.465$
赤外吸収スペクトルのピーク波数 (Si-O結合)	$\cdots 1078 \sim 1080/\text{cm}$
(Si-H結合)	\cdots 検出限界以下($< 1 \times 10^{11}/\text{cm}^3$)

上記のように、絶縁破壊強度、抵抗率の測定値およびプラズマダメージ評価の結果は層間絶縁膜の基本的性質を充分満足している。また、エッティング速度、屈折率、赤外吸収スペクトル(Si-O結合)からは、緻密性膜が検証されている。昇温脱離ガス分析や赤外吸収スペクトル(Si-H結合)の分析値から含有水分量は、従来の高信頼性膜として半導体素子に用いられているシリコンの熱酸化による酸化膜と同等であり、これらを総合すると、高品位膜と評価できる。

【0022】また、この緻密性シリコン酸化膜は層間絶*

反応ガス供給量

モノシランガス (SiH ₄)	$\cdots 180 \text{ ml/min}$
酸素ガス (O ₂)	$\cdots 60 \sim 180 \text{ ml/min}$
反応圧力	$\cdots 0.4 \sim 30 \text{ Pa}$
シリコンウエハの温度	\cdots (基板支持台をHeガスで冷却)
反応容器内の最大磁場強度	$\cdots 1100 \text{ Gauss}$
マイクロ波 (2.45 GHz) 照射強度	$\cdots 1.5 \text{ kW}$
基板高周波バイアス (300 kHz) 印加	$\cdots 700 \text{ W}$

反応容器120内の圧力の制御は、ゲートバルブ123の調節による。基板支持台121への高周波122の印加は、堆積膜のスパッタエッティングを併用することにより、配線パターンの微細構造への膜の堆積充填(埋込み)を良くするためである。このため、膜の堆積速度は基板高周波バイアス印加のない場合の約65%に低下するが、反応時間60sで500~750nmのシリコン酸化膜(SiO_x: X<2)が形成できる。

【0025】ここで重要なプロセスバラメータは、反応ガスの供給量の比及び反応圧力の高精度の制御である。

【0026】図3はSiO_x膜堆積時の反応圧力と堆積膜の誘電率(ε)の関係を示す。ここで示す誘電率(ε)は、シリコン基板表面の平面部に堆積した膜(TEG: Test Element Group)の値であり、配線構造に形成された膜ではない。これは、評価のしやすさと測定精度の確保のためである。前述の高品位緻密性シリコン酸化膜(SiO₂)の値も合わせて示す。反応圧力が高い条件で堆積した膜程、誘電率(ε)が低いことが判る。即ち、反応圧力を調節することで、堆積膜の誘電率を制御できる。堆積膜の誘電率は、酸素ガス(O₂)とモノシラ

*縁膜の第3層として使用した場合、アンモニア(NH₄OH)またはアミノ加工液ベースのヒュームドシリカと高純度セリアによるCMPにより、膜の剥離やスクランチ等の欠陥の発生がなく平坦化できた。

【0023】多孔質でかつ酸素欠乏のシリコン酸化膜(SiO_x: X<2)の形成プロセスは、上記の高品位緻密性シリコン酸化膜(SiO₂)の形成プロセスとの相違点は以下の通りである。

【0024】

ンガス(SiH₄)の供給量の比($\gamma = [O_2] / [SiH_4]$)が本実験範囲の1以下では、ほとんど依存していない。

【0027】また、基板高周波(300 kHz)電源のパルス変調器により、デューティ80~50%にすること、及び基板支持台121をヘリウムガスで冷却することにより、再現性のよい膜組成・構造ができる。

【0028】シリコン酸化膜に混入した不純物はシリカガラスの網目を構成したり、イオン半径が大きいものは網目を修飾して、誘電率を大きくする。誘電率の低下の原因是多孔質(ポーラス)膜になっていると推定される。

【0029】図4はSiO_x膜堆積時の反応圧力と堆積膜のエッティング速度の関係を示す。上記と同様シリコン基板表面の平面部に堆積した膜を緩衝フッ酸(HF:NH₄F=1:10)(25°C)を用いてエッティングした。反応圧力が高い条件で堆積した膜のエッティング速度が著しく大きいことが判る。これは、反応圧力が高い程、堆積した膜の緻密性が低く、上記の多孔質を裏付けている。エッティング速度のばらつきが大きいが、これは、多孔質の

構造やモノシランガス (SiH_4) と酸素ガス (O_2) の供給量の比の依存性による堆積膜の組成 (SiO_x の x) 等によるものであると推定される。

【0030】また、反応圧力 30 Pa で形成した膜 ($\epsilon = 2.8$) の堆積面積と膜厚と重さから求めた密度 (ρ) は、約 1.8 であり、熱酸化膜等に緻密性膜の密度約 2.2 の 82% である。これは、換言すれば、空孔率 18% の多孔質膜といえる。

【0031】図 5 はシリコン及び酸化シリコンの空孔率と誘電率 (ϵ) の計算値を示す。シリコン ($\epsilon = 11.0$) または酸化シリコン ($\epsilon = 4.0$) 中に空孔 ($\epsilon = 1.0$) が分散しているものとしたものである。上記の SiO_x 膜の実測値も合わせてプロットしてある。

【0032】以上の結果より、数 Pa 以上の反応圧力の条件で堆積させることによりできた低誘電率膜は、酸素欠乏で空孔率 18% までの多孔質のシリコン酸化膜 (SiO_x) と考えられる。

【0033】更に、本プロセスでは、酸素欠乏のシリコン酸化膜 ($\text{SiO}_x : X < 2$) 即ちシリコンリッチの膜は厚い膜の形成が必要となるが、化学量論比のシリコン酸化膜 (SiO_2) に比べて、反応容器の内壁に付着したもののが剥離脱落し難く、かつ、チャンバーエッティングにおいては、エッティングしやすいため、異物の低減にも効果的である。

【0034】一方、モノシランガス (SiH_4) と酸素ガス (O_2) の供給量の比は、微細溝の充填性に影響を与える。酸素ガス (O_2) の供給量の比が小さい程、即ち、シリコンリッチな膜である程、微細溝のステップカバレッジが良好となり、溝内部の空孔を防止できる。ガス供給量比 $\gamma = [\text{O}_2] / [\text{SiH}_4] \leq 0.7$ が望ましく、配線パターンのアスペクト比が大きいほど、ガス供給量比 γ は小さくしたほうが望ましいことが判った。

【0035】さらに、モノシランガス (SiH_4) と酸素ガス (O_2) の供給量の比は、生成した膜の吸湿性にも影響を与える。一般に多孔質膜は吸湿性が大きいが、しかし、酸素ガス (O_2) の供給量の比が小さい程、即ち、シリコンリッチな膜である程、生成した膜は疎水性となり、耐湿性が良好となる。ガス供給量比 $\gamma = [\text{O}_2] / [\text{SiH}_4] \leq 0.7$ の条件で堆積させた SiO_x 膜の昇温脱離ガス分析の結果は、通常の熱酸化法 (ドライ酸素) により形成シリコン酸化膜 SiO_2 と同等であることが判った。

【0036】実施例 2

上記の結果を基に、狭幅高アスペクト比の溝のステップカバレッジの改善を試みた。

【0037】被膜形成基板として、下層配線層は、配線膜厚 $0.9 \mu\text{m}$ 、配線幅及び間隔 (ライン&スペース) $0.4 \& 0.4, 0.3 \& 0.3, 0.3 \& 0.25 \mu\text{m}$ であり、アスペクト比は 2.25 ~ 3.6 の TEG パターン用いた。まず、基板上にシリコン膜を堆積させた。シリコ

ン膜の堆積条件は反応ガスとしてモノシラン $60 \text{ ml}/\text{min}$ のみとし、他は高品位緻密性シリコン酸化膜 (SiO_2) の形成プロセス条件と同等である。12 s の反応時間で 35 nm が堆積し、堆積速度は $175 \text{ nm}/\text{min}$ となる。その後、同一チャンバ内で反応ガスを酸素に切り替えて、堆積したシリコン膜をプラズマ酸化させた。シリコン膜は 10 秒以内ですべて酸化された。

【0038】この様にして形成したシリコン酸化膜も前記の高品位緻密性シリコン酸化膜 (SiO_2) と同様の特性である。いずれのアスペクト比のパターンにおいても、配線上面部の膜厚 (a) と配線側面部の膜厚 (b) とほぼ等しく ($[b/a] \geq 0.90$)、配線パターンへのステップカバレッジ (付き周り) は極めて良好である。

【0039】実施例 3

実施例 1 においては、(1) 高品位緻密性シリコン酸化膜 (SiO_2)、(2) 多孔質のシリコン酸化膜を主体とする膜 ($\text{SiO}_x : X < 2$)、(3) 高品位緻密性シリコン酸化膜 (SiO_2)、の 3 層構造とした。同一チャンバー内で 3 層構造を厳密に製作するためには、一層堆積させた後、次の反応ガスを流入する前に、チャンバー内を高真空に排気し反応ガスの混合を防止しなければならない。このため、膜形成に要する時間が長くなり、プロセスのスループットが低下する。

【0040】しかし、多層配線層間絶縁膜の用途に対しては厳密に 3 層に分離している必要はない。このため、各層を堆積した後、真空排気せずに、次の工程の反応ガスを流入することにより、ほぼ連続的な膜質変化が得られる。

【0041】図 6 は反応ガス供給量と反応室の圧力のタイムシーケンスの模式図を示す。(a) は実施例 1 の 3 層構造の場合、(b) は本実施例の連続的膜質変化の場合である。後者ではトータルの操作時間が短縮されていることが容易に判る。

【0042】本発明の実施例では、プラズマ CVD 装置として有磁場マイクロ波プラズマ CVD 装置を用いたが、これに限定されるものではなく他の高密度プラズマ CVD、例えば誘導結合プラズマ (ICP: Inductively Coupled Plasma)、ヘリコン波プラズマ等の装置の使用も可能である。

【0043】

【発明の効果】本発明によれば、(1) 半導体装置の層間絶縁膜の誘電率の制御、特に低誘電率化が可能であり、(2) 膜の高信頼性が確保され、(3) 他のプロセスとのマッチングが容易であり、(4) 生産性にも優れているため、半導体装置、特に高集積半導体集積回路素子の特性及び信頼性の改善・向上に大きな効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例の半導体装置の部分断面の模式図。

【図2】本発明の製造プロセスを実施するための装置の模式図。

【図3】本発明の成膜条件と堆積膜の誘電率の関係の実験結果を示すグラフ。

【図4】本発明の成膜条件と堆積膜の膜質の一例としてのエッティング速度の実験結果を示すグラフ。

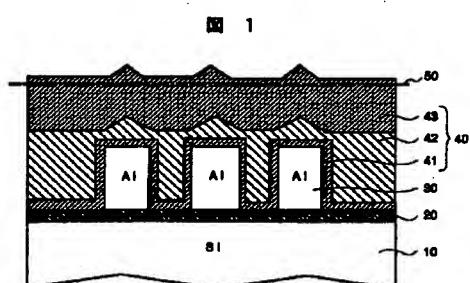
【図5】本発明の堆積膜の空孔率と誘電率の関係の実験結果および計算値を示すグラフ。

【図6】本発明の製造プロセスのタイムシーケンスを示す線図。

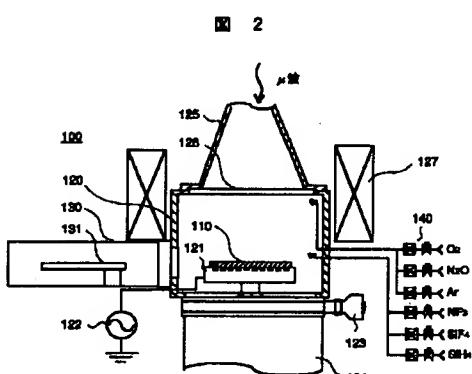
【符号の説明】

10…シリコンウエハ、30…下部配線パターン、40…層間絶縁膜、41, 43…シリコン酸化膜 (SiO_2)、42…シリコン酸化膜 ($\text{SiO}_x : x < 2$)、50…平坦化研磨、100…プラズマCVD装置。

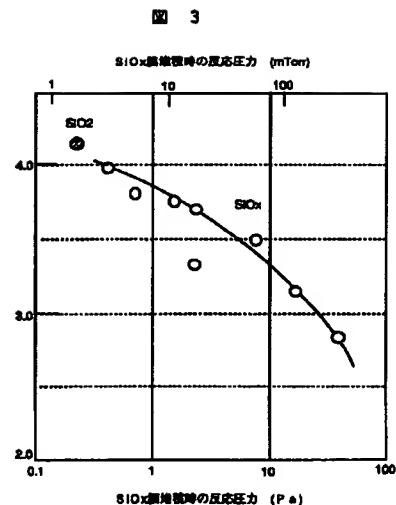
【図1】



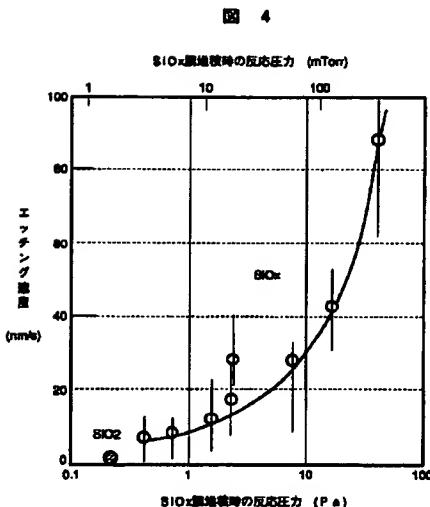
【図2】



【図3】

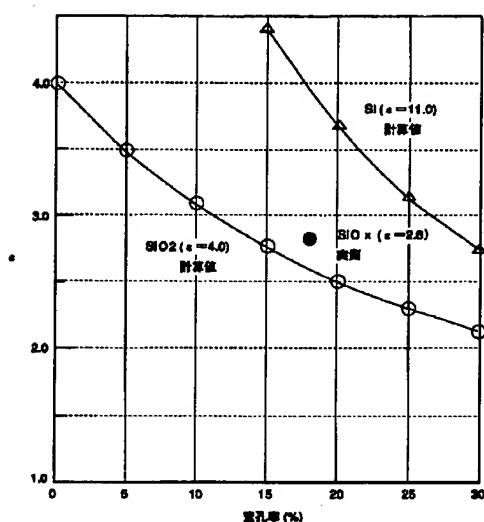


【図4】



【図5】

図 5



【図6】

図 6

